

WEST

Print

Oct 23, 1990

PUB-NO: JP402260430A
DOCUMENT-IDENTIFIER: JP 02260430 A
TITLE: HORIZONTAL-TYPE BIPOLAR TRANSISTOR

PUBN-DATE: October 23, 1990

INVENTOR - INFORMATION:

COUNTRY

KONDO, MASAO

YANO, KAZUO

ASSIGNEE - INFORMATION:

COUNTRY

HITACHI LTD

APPL-NO: JP01078218

APPL-DATE: March 31, 1989

US-CL-CURRENT: 257/592

INT-CL (IPC): H01L 21/331; H01L 29/08; H01L 29/73

ABSTRACT:

PURPOSE: To obtain a bipolar transistor having a performance which can be used in application fields by a method wherein an impurity concentration of a first conductivity type is made lower than an impurity concentration of a second conductivity type.

CONSTITUTION: This is constituted of an n-type single-crystal Si substrate 1; a p+ type buried layer 2; an SiO₂ film 3; n- type epitaxial layers 4, 5; an n-type Si layer 6; a p-type Si layer 7; n+ type Si layers 8, 9; an SiO₂ film 10; and metal electrodes 11 to 13. The n-type Si layer 6 functions as an emitter, the p-type Si layer 7 as a base and the n- Si layer 5 as a collector, respectively. An n-type impurity concentration of the emitter 6 is made lower than a p-type impurity concentration of the base 7. Thereby, it is possible to obtain a bipolar transistor having a performance which can be used in application fields.

COPYRIGHT: (C) 1990, JPO&Japio

⑫ 公開特許公報(A) 平2-260430

⑬ Int. Cl.⁹

H 01 L 21/331
29/08
29/73

識別記号

庁内整理番号

8526-5F

8526-5F H 01 L 29/72

⑭ 公開 平成2年(1990)10月23日

審査請求 未請求 請求項の数 3 (全5頁)

⑮ 発明の名称 横型バイポーラトランジスタ

⑯ 特 願 平1-78218

⑰ 出 願 平1(1989)3月31日

⑱ 発 明 者 近 藤 将 夫 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 矢 野 和 男 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

横型バイポーラトランジスタ

2. 特許請求の範囲

1. 第1の伝導型のエミッタの、ベースに接する領域における第1の伝導型の不純物濃度が、ベース領域における第2の伝導型の不純物濃度よりも低くなっていることを特徴とする横型バイポーラトランジスタ。
2. 絶縁体上に形成された単結晶半導体層の中に、請求項1に記述したバイポーラトランジスタが形成されていることを特徴とする横型バイポーラトランジスタ。
3. 絶縁体上の単結晶半導体層中に形成された、横型バイポーラトランジスタにおいて、ベースの電極取り出しが半導体表面のエミッタとコレクタに接されたベース領域より行なわれていることを特徴とする横型バイポーラトランジスタ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、液体窒素温度程度の低温度で高速動作させる半導体集積回路に用いる横型バイポーラトランジスタに関する。

(従来の技術)

低温度で動作可能なバイポーラトランジスタについては、(第20回素子材料コンファレンス論文集(1988年)第617頁から第618頁 Extended Abstracts of the 20th conference on Solid State Devices and Materials(1988)PP.617-618)において論じられている。その要点は、ベースの不純物濃度をエミッタの不純物濃度よりも大きくすることにより低温度で動作可能なバイポーラトランジスタが形成できるというものである。

(発明が解決しようとする課題)

上記従来技術においては、具体的には縦型バイポーラトランジスタのみについて論じられている。この縦型バイポーラトランジスタでは、ベースの不純物濃度を半導体基板の表面側のエミッタの不純物濃度よりも高くすることが必要である。このためには、まだ量産物に実用化されたとは言えな

い、分子線エビタキシー法や低温エビタキシー法を用いることが必要となるという問題があった。

本発明の第1の目的は、現状において十分確立された製造方法のみを用いることによつて、前記従来技術の目的としている応用分野に適用可能な性能を持つバイポーラトランジスタを作成することにある。また、最近絶縁体上の薄膜(300nm~500nm)単結晶半導体中にMOSトランジスタを形成することが行なわれているが、この薄膜半導体中に縦型バイポーラトランジスタを形成することは、縦方向の幅が不足するため困難である。

本発明の第2の目的は、絶縁体上に形成された薄膜の半導体中に上記と同様な低温で動作するバイポーラトランジスタを作成することにある。
(課題を解決するための手段)

第1の伝導型の半導体基板の表面より第2の伝導型の不純物を選択的に拡散もしくはイオン打ち込みし、埋め込まれた第2の伝導型の不純物拡散層まで達する高濃度($1 \times 10^{18} \text{cm}^{-3}$ 以上)不純物拡散領域を形成する。この領域をベースとし、

ランジスタを作成するためには、ベースの不純物濃度を $1 \times 10^{18} \text{cm}^{-3}$ 以上でかつエミッタの不純物濃度より高くする必要がある。横型バイポーラトランジスタでは、縦型のものと異なり、真性ベース部分が基板表面に接しているため、通常の拡散及びイオン打ち込みのように十分確立された方法によつて上記不純物形状が形成できる。

次に本発明の横型トランジスタの動作速度に関して述べる。本発明の横型バイポーラトランジスタにおいて、既存の方法によればベース幅は最低でも $0.2 \mu\text{m}$ 程度になり、現状の縦型バイポーラトランジスタの $0.1 \mu\text{m}$ の2倍程度となり、 W_b/μ (W_b はベース幅、 μ は移動度)に比例する電子のベース通過時間は移動度に変化がなければ4倍となる。しかしp型ベースの場合、文献「フオーティーフィクス アニユアル デバイス リサーチ カンファレンス (45th Annual Device Research Conference) V 1 B-4」に示されているように、ベース濃度が $6 \times 10^{18} \text{cm}^{-3}$ では室温から窒素温度になることによつて電子の移

またこの領域によつて分離された低濃度の第1の伝導型の不純物を含有する領域をエミッタおよびコレクタとする。この方法により上記第1の目的を達成することができる。

また、上記の第2の目的を達成するためには、第1の伝導型の半導体基板の表面より第2の伝導型の不純物を選択的に拡散もしくはイオン打ち込みし、埋め込まれた絶縁膜まで達する高濃度($1 \times 10^{18} \text{cm}^{-3}$ 以上)の不純物拡散領域を形成する。この領域をベースとし、またこの領域によつて分離された低濃度の第1の伝導型の不純物を含有する領域をエミッタおよびコレクタとする。この方法により上記第2の目的を達成することができる。またこの方法においてベースの電極取り出しをエミッタとコレクタに接された領域から行なうことにより、より高性能のバイポーラトランジスタを形成できる。

(作用)

前述の公知例に示されているように、低温(液体窒素温度)で高利得動作を行なうバイポーラト

動度が7倍($1400 \text{cm}^2/\text{Vs}$)となり、現状のバイポーラトランジスタの室温での値($7 \times 10^{17} \text{cm}^{-3}$ で $350 \text{cm}^2/\text{Vs}$)と比較して約4倍となる。従つて現状の縦型バイポーラトランジスタと同程度のベース通過時間にすることが可能となり、縦型の高速バイポーラトランジスタと同じ役割をはたす横型バイポーラトランジスタが実現できる。

また、横型トランジスタでは、縦型のものと異なり、縦方向の幅の制限がないため、絶縁膜上の薄膜(500nm以下)半導体中にも構造的に問題なく形成することができる。またベース電極の取り出しをエミッタとコレクタに接されたベース領域より行なうことにより、ベース-エミッタ間、ベースエミッタ間の接合容量を低減できるため、より高速動作が可能な横型バイポーラトランジスタが形成できる。

(実施例)

本発明の第1の実施例をnpn型バイポーラトランジスタを例にとつて第1図により説明する。

1はn型単結晶Si基板、2はp+型埋込層、3はSiO₂膜、4、5はn-型エピタキシャル層、6はn型Si層、7はp型Si層、8、9はn+型Si層、10はSiO₂膜、11、12、13は金属電極である。n型Si層6はエミッタ、p型Si層7はベース、n-Si層5はコレクタとしてそれぞれ機能する。エミッタ6はn型不純物濃度が $5 \times 10^{18} \text{cm}^{-3}$ 、ベース7はp型不純物濃度が $5 \times 10^{18} \text{cm}^{-3}$ とエミッタよりもベースの方が不純物濃度が高くなっている。コレクタ5はn型不純物濃度が $1 \times 10^{18} \text{cm}^{-3}$ となつている。またベース層7は幅が $0.2 \mu\text{m}$ となつている。

第3図(a)～(d)によつて本実施例の製造方法を説明する。まずn型単結晶基板1に選択的にボロンを拡散し、p+型層2を形成する。さらに通常のエピタキシャル成長法により、n-型層4を $0.5 \mu\text{m}$ 成長させる。ここで、上記p+層2の形成を、n型基板1上にn-層4をエピタキシャル成長させた基板に、ボロンをイオン打ち込み(打ち込みエネルギー200KeV)することによつ

て形成しても良いことは言うまでもない(第3図(a))。

次に選択的な酸化により溝子分離領域3を形成する。さらにベース取り出しのためのp型拡散層16を通常の拡散もしくはイオン打ち込みの方法により形成する(第3図(b))。そしてホトレジストをマスクにして、リンもしくはヒ素イオンを、打ち込みエネルギーを変化させながら打ち込み、活性化アニールを行ない、p型埋込層2に接するような不純物濃度 $5 \times 10^{18} \text{cm}^{-3}$ のエミッタ領域6を形成する。次にホトレジスト17をマスクにして打ち込みエネルギーを変化させながら選択的にそのエミッタ領域に接するようにボロンをイオン打ち込み、活性化アニールを行ない、p型埋込層2に接するように不純物濃度 $5 \times 10^{18} \text{cm}^{-3}$ のベース領域7を形成する。このベース層の幅、不純物濃度のばらつきを小さくするため、ボロンの選択的なイオン打ち込みに、集束イオンビーム装置を用いても良いことは言うまでもない(第3図(c))。

さらにSiO₂膜23を通常の気相化学成長法(CVD)により形成した後、通常のリソグラフィの方法により、SiO₂膜10、23を選択的に除去してエミッタ、ベース、コレクタの電極取り出しのための穴を形成する。さらにそのSiO₂が除去された部分からヒ素もしくはリンを拡散あるいはイオン打ち込みすることによりn+層8、9を形成する。最後に金属膜を蒸着し、通常のホトリソグラフィによりパターンニングすることによりエミッタ電極11、ベース電極13、コレクタ電極12を形成する(第3図(d))。

本実施例の構造を持つ横型バイポーラトランジスタを乾湿(液体窒素温度)で動作させると、前述の公知例に述べられているものと同じ理由により、100以上の電流増幅率が得られる。また本願明細書の「作用」に説明した理由により、ベース幅 $0.1 \mu\text{m}$ の縦型バイポーラトランジスタとほぼ同じ動作速度($f_T \approx 18 \text{GHz}$ 程度)を示す。

次に本発明の第2の実施例をnpn型バイポー

ラトランジスタを例にとつて第2図により説明する。

14、22はSiO₂膜、15はn型多結晶Si膜、24はp型多結晶Si膜で、それ以外の部分は本発明の第1の実施例の場合と同じである。各部分の動作は本発明の第1の実施例の場合と同じである。

第4図(a)～(e)によつて本実施例の製造方法を説明する。

まず単結晶基板1上にSiO₂膜14を形成し、さらにその上にn-型単結晶Si層5(厚さ300nm)を形成する。この製造方法は公知である(第4図(a))。次に、n-型単結晶Si層5を通常の方法により選択的に酸化し、SiO₂膜3を形成した後、通常のイオン打ち込みの方法により、リンもしくはヒ素を選択的に導入してn型Si層6を形成する。この領域のn型不純物の濃度は $5 \times 10^{18} \text{cm}^{-3}$ になるようにイオン打ち込みのエネルギー、打ち込み量を調節する。さらにSiO₂膜18を形成した後、Si₃N₄膜(厚さ

500nm)を通常の気相化学堆積法(CVD)により堆積し、通常のホトリソグラフィによりパターンニングし、Si₃N₄膜の島パターン20をn型Si領域6とn型Si領域5との境界に形成する。次に通常のCVD法によりSiO₂膜(厚さ300nm)を堆積した後、異方性ドライエツチングの方法によりSi₃N₄膜20の側壁のみにそのSiO₂膜21を残すようにする(第4図(b))。

その後、通常のイオン打ち込みの方法により、ヒ素を加速エネルギー300keVで $1 \times 10^{15} \text{cm}^{-2}$ 打ち込み、加熱することにより、n+型Si層8、9を形成する。さらに通常のCVD法により、リンが添加された多結晶Si膜15を堆積した後、ホトレジストによる平坦化とエツチバックによる方法によりSi₃N₄膜20とSiO₂膜21の島上の多結晶Si膜を選択的に除去する(第4図(c))。

次に通常のホトリソグラフィとエツチングにより多結晶Si膜15をパターンニングした後、多結

晶Si膜15を通常の方法により酸化し、SiO₂膜22を形成した後、Si₃N₄膜20を選択的に除去する。さらに、集束イオンビーム装置を用いてボロンを打ち込むことにより、幅200nm、不純物濃度 $5 \times 10^{18} \text{cm}^{-2}$ のp型Si層7を形成する(第4図(d))。

次に、p型Si層7上のSiO₂膜18を除去した後、通常のCVD法によりボロンが添加されたp型の多結晶Si膜24を堆積し、加熱することにより、ボロンを多結晶Si膜24からSi基板中へ約50nm拡散する。さらにそのp型多結晶Si膜24を通常のホトリソグラフィとエツチングによりパターンニングした後、SiO₂膜22にコンタクト穴を形成し、最後に金属膜を蒸着した後、ホトリソグラフィとエツチングにより電極を形成する(第4図(e))。

以上のように本実施例は絶縁膜上の薄層(500nm以下)の単結晶Si中にバイポーラトランジスタを作成することができるという効果がある。

また本実施例の構造を持つ横型npnバイポー

ラトランジスタを低温(液体窒素温度)で動作させると、本発明の第1の実施例と同様に100以上の電流増幅率が得られる。また、基板とトランジスタの不純物拡散領域がSiO₂膜によつて隔てられているため、寄生容量を小さくすることができ、本発明の第1の実施例よりも大きな動作速度($f_T \approx 25 \text{GHz}$ 程度)を得ることができる。(発明の効果)

本発明によれば、MBEや低温エピタキシャル成長等の現在ではまた十分に実用化されていない技術に用いることなく、前記公知例と同様な液体窒素温度で高速に動作するバイポーラトランジスタを形成することができる。また本発明によるトランジスタは横型であるためnpn型トランジスタとpnp型トランジスタを同じチップ上に作りやすいという効果もある。また、同じく横型であるためSiO₂上に形成された薄層(500nm以下)Si単結晶中に形成することができるという効果もある。

4. 図面の簡単な説明

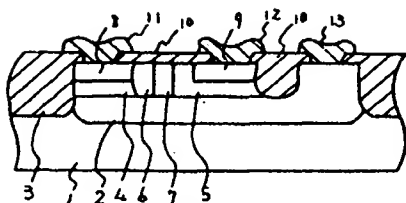
第1図は本発明の第1の実施例の横型バイポーラトランジスタの縦断面図、第2図は本発明の第2の実施例の横型バイポーラトランジスタの縦断面図、第3図は本発明の第1の実施例のトランジスタの製造方法を示す断面図、第4図は本発明の第2の実施例のトランジスタの製造方法を示す断面図である。

1…n型単結晶Si基板、2…p+型埋込層、3…SiO₂膜、5…n+エピタキシャル層、6…n型Si層、7…p型Si層、8、9…n+型Si層、10…SiO₂膜、11、12、13…電極、14…SiO₂膜、15…n型多結晶Si層、22…SiO₂膜、24…p型多結晶Si膜。

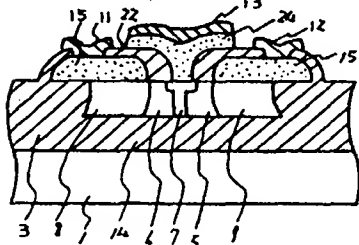
代理人 弁理士 小川勝男



第1図

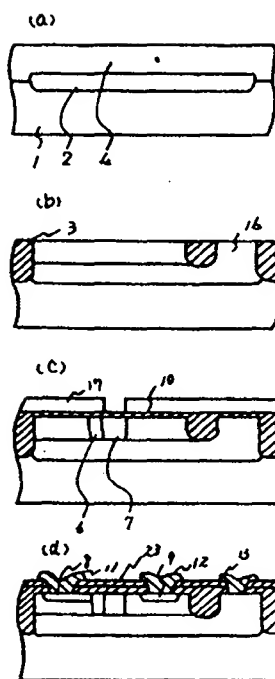


第2図



- | | |
|--------------------------|-----------------------|
| 1 N型半導体基板 | 10 SiO ₂ 膜 |
| 2 P ⁺ 型埋込層 | 11, 12, 13 電極 |
| 3 SiO ₂ 膜 | 15 N型多結晶Si膜 |
| 5 N ⁺ 型多結晶Si膜 | 14 SiO ₂ 膜 |
| 6 N型Si層 | 22 SiO ₂ 膜 |
| 7 P型Si層 | 24 P型多結晶Si膜 |
| 8, 9 N ⁺ 型Si層 | |

第3図



第4図

